

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-125051

(43)公開日 平成6年(1994)5月6日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 27/108				
21/28	301 A 9055-4M			
27/04	C 8427-4M	9170-4M	H 01 L 27/10	325 C

審査請求 未請求 請求項の数2(全4頁)

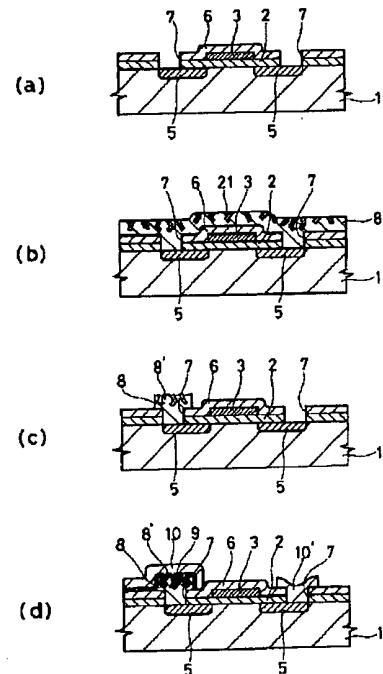
(21)出願番号 特願平4-297700	(71)出願人 新日本製鐵株式会社 東京都千代田区大手町2丁目6番3号
(22)出願日 平成4年(1992)10月9日	(72)発明者 中野 敦 相模原市淵野辺5-10-1 新日本製鐵株式会社エレクトロニクス研究所内
	(74)代理人 弁理士 國分 孝悦

(54)【発明の名称】 半導体記憶装置の製造方法

(57)【要約】

【目的】 スタック型キャパシタを有するDRAMメモリセルにおいて、キャパシタの蓄積容量を増大する。

【構成】 スタック型キャパシタの下部電極となる多結晶シリコン膜8の上面に酸素イオンをイオン注入した後、アニール処理を施すことにより、多結晶シリコン膜8の上面の粒界中にシリコン酸化物21を選択的に形成する。このシリコン酸化物21をフッ酸溶液により除去した後、多結晶シリコン膜8をパターニングすることにより、上面に凹凸8'が形成された下部電極8を形成することができる。これにより、キャパシタの下部電極8の実効表面積を増大させることができ、その分だけキャパシタの蓄積容量を増大させることができる。



1

【特許請求の範囲】

【請求項1】トランジスタとキャパシタとにより構成されたメモリセルを有する半導体記憶装置の製造方法において、半導体基板上に絶縁膜を介して多結晶半導体膜を形成する第1の工程と、上記多結晶半導体膜の上面部分の粒界中に半導体酸化物を形成する第2の工程と、上記半導体酸化物を除去して、上記多結晶半導体膜の表面に凹凸を形成する第3の工程と、上記多結晶半導体膜をバーニングして上記キャパシタの下部電極を形成する第4の工程と、上記下部電極上に絶縁膜を形成する第5の工程と、上記下部電極上に上記絶縁膜を介して上部電極を形成する第6の工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項2】上記多結晶半導体膜の表面近傍部分に酸素イオンを導入し、熱処理を施すことによって、上記酸素イオンを粒界拡散させ、これにより、上記多結晶半導体膜の上面部分の粒界中に上記半導体酸化物を形成することを特徴とする請求項1記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体記憶装置の製造方法に関し、例えば、DRAMメモリセルの製造に適用して特に好適なものである。

【0002】

【従来の技術】従来より主として用いられているDRAMは、1個のMOSトランジスタと、1個の容量素子(キャパシタ)とによりメモリセルを構成し、MOSトランジスタによるスイッチング作用でキャパシタに対する電荷の蓄積又は検出を行ってメモリセルに対する情報の書き込み又は読み出しを行うものである。

【0003】このDRAMメモリセルのキャパシタとしてスタックトキャパシタセルを用いた従来の製造方法の一例について図2(a)及び(b)を参照して説明する。

【0004】まず、図2(a)に示すように、半導体基板11の表面にゲート酸化膜12及びゲート電極13を形成する。次に、ゲート酸化膜12上にレジスト膜14を形成し、フォトリソグラフィー法によりレジスト膜14を開口する。次に、半導体基板11とは逆導電型の不純物を素子活性領域にイオン注入して、ソース・ドレン領域15を形成する。これらのゲート電極13とソース・ドレン領域15とにより、アクセストランジスタとしてのMOSトランジスタが形成される。

【0005】次に、図2(b)に示すように、レジスト膜14を除去した後、層間絶縁膜16を形成し、ゲート酸化膜12及び層間絶縁膜16に、ソース・ドレン領域15

2

域15に通じるコンタクトホール17を形成する。次に、コンタクトホール17を通じてソース領域又はドレン領域15のいずれか一方と接続するように、多結晶シリコン膜18を形成し、これをパターニングすることにより下部電極18を形成する。

【0006】次に、この下部電極18の上にキャパシタ絶縁膜19を形成する。次に、キャパシタ絶縁膜19の上に上部電極20を形成する。

【0007】これらの上部電極20、キャパシタ絶縁膜19及び下部電極18によりスタックトキャパシタが形成される。そして、上述のアクセストランジスタとこのスタックトキャパシタとによりメモリセルが構成される。

【0008】

【発明が解決しようとする課題】上述の図2に示すような構造の従来のDRAMメモリセルでは、高集積化に伴い、スタックトキャパシタの平面積を縮小すると、必要なキャパシタ容量を得ることができなくなってしまうという問題があった。

【0009】そこで、本発明は、スタックトキャパシタの実効表面積を増大させて、大きなキャパシタ容量を得ることができるDRAMメモリセルを製造することができる半導体記憶装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】上記課題を解決するために、本発明は、トランジスタとキャパシタとにより構成されたメモリセルを有する半導体記憶装置の製造方法において、半導体基板上に絶縁膜を介して多結晶半導体膜を形成する第1の工程と、上記多結晶半導体膜の上面部分の粒界中に半導体酸化物を形成する第2の工程と、上記半導体酸化物を除去して、上記多結晶半導体膜の表面に凹凸を形成する第3の工程と、上記多結晶半導体膜をバーニングして上記キャパシタの下部電極を形成する第4の工程と、上記下部電極上に絶縁膜を形成する第5の工程と、上記下部電極上に上記絶縁膜を介して上部電極を形成する第6の工程とを具備する。

【0011】また、上記多結晶半導体膜の表面近傍部分に酸素イオンを導入し、熱処理を施すことによって、上記酸素イオンを粒界拡散させ、これにより、上記多結晶半導体膜の上面部分の粒界中に上記半導体酸化物を形成するのが好ましい。

【0012】

【作用】本発明においては、キャパシタの下部電極となる多結晶半導体膜の上面部分の粒界中に例えば酸素イオンを導入して半導体酸化物を形成し、この半導体酸化物を除去することにより、多結晶半導体膜の表面に凹凸を形成する。

【0013】

【実施例】以下、本発明の一実施例を図1(a)～

50

(d) を参照して説明する。

【0014】まず、図1(a)に示すように、P型半導体基板1の上に、熱酸化法によりゲート酸化膜2を形成する。次に、このゲート酸化膜2の上にCVD法によりゲート電極3を形成する。次に、ゲート電極3を自己整合マスクとして用い、ソース・ドレイン領域5を形成する。

【0015】次に、全面に例えれば二酸化シリコン膜をCVD法により堆積させて、層間絶縁膜6を形成する。しかる後に層間絶縁膜6及びゲート酸化膜2をフォトリソグラフィー法により選択的に除去することによりソース・ドレイン領域5に通じるコンタクトホール7を形成する。

【0016】次に、図1(b)に示すように、全面に150 nm程度の膜厚の下部電極となる多結晶シリコン膜8をCVD法により堆積させ、多結晶シリコン膜8の比抵抗を下げるためにリンを拡散させる。

【0017】しかる後、酸素イオンを比較的低濃度、例えば、30 keV、ドーズ量 $2 \times 10^{12} / \text{cm}^2$ の条件下多結晶シリコン膜8の上面部分にイオン注入する。そして、例えれば、900°C程度、N₂雰囲気下でアニールし、酸素イオンを粒界拡散させて、多結晶シリコン膜8の上面部分の粒界中にシリコン酸化物21を選択的に形成する。

【0018】次に、図1(c)に示すように、シリコン酸化物21を例えればフッ酸溶液で除去し、多結晶シリコン膜8の表面に凹凸8'を形成した後、フォトリソグラフィ法を用いて、多結晶シリコン膜8をパターニングして下部電極8とする。これによって、上面に凹凸8'を有する下部電極8が形成される。

【0019】次に、図1(d)に示すように、キャバシタ絶縁膜9となる窒化膜を低圧CVD法により下部電極8の粒界面を含む全面に成長させる。そして、窒化膜をパターニングしてキャバシタ絶縁膜9を形成した後、多結晶シリコン膜10をキャバシタ絶縁膜9上に成長させ、パターニングして上部電極10を形成する。なお、

10'は配線用多結晶シリコンである。

【0020】以上のように、この実施例によれば、スタックトキャバシタの下部電極8の上面に凹凸8'を形成することができるので、この凹凸8'の凹部の側面の面積分だけ、下部電極8の実効表面積を従来に比べて増大させることができる。このため、スタックトキャバシタの蓄積容量を増大させることができ、これにより、高集積化のために素子を微細化した場合でも、メモリセルに対する情報の書き込み及び読み出しを安定して行うことができる。

【0021】

【発明の効果】以上説明したように本発明によれば、DRAMのキャバシタの下部電極の実効表面積の増大を図ることができるので、キャバシタ容量を増大させることができます。従って、例えれば、素子を微細化した場合でも、メモリセルに対する情報の書き込み及び読み出しを安定して行うことができるDRAMを製造することができる。

【図面の簡単な説明】

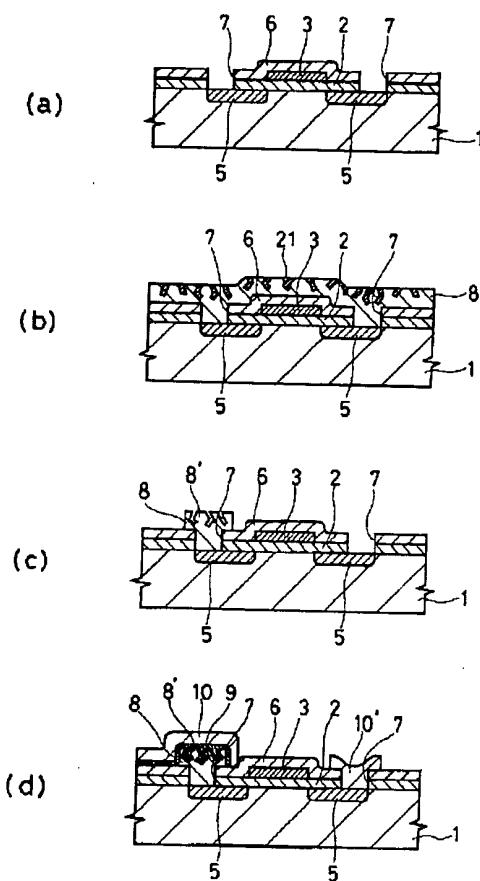
【図1】本発明の一実施例によるDRAMメモリセルの製造方法を説明するための概略断面図である。

【図2】従来のDRAMメモリセルの製造方法を説明するための概略断面図である。

【符号の説明】

1	半導体基板
2	ゲート酸化膜
3	ゲート電極
5	ソース・ドレイン領域
6	層間絶縁膜
7	コンタクトホール
8	多結晶シリコン膜(下部電極)
8'	凹凸
9	キャバシタ絶縁膜
10	多結晶シリコン膜(上部電極)
21	シリコン酸化物

【図1】



【図2】

